

ENTWICKLUNG EINES RAUMFAHRTTAUGLICHEN LÖTPROZESSES FÜR HOCHPOLIGE ELEKTRONISCHE BAUTEILE

G. Joormann, Dr. A. K. Jain, Deutsches Zentrum für Luft- und Raumfahrt e.V. (DLR),
Linder Höhe, 51147 Köln, Deutschland

Zusammenfassung

Elektronische Raumfahrtbauteile unterliegen aufgrund ihres Einsatzzweckes im Weltraum besonderen Anforderungen u.a. bezüglich Strahlungsfestigkeit, Zuverlässigkeit und Lebensdauer. Die Bauteileigenschaften müssen über den ganzen Herstellungsprozess lückenlos nachverfolgbar sein, um Fehler-Ursachen zu ermitteln und um gleichartige Fehler und kostspielige Systemausfälle verhindern zu können. Aus diesem Grund erfolgt eine spezielle Qualifikation der Bauteile nach allgemeinen oder projektspezifischen Anforderungen.

Die European Cooperation for Space Standardization (ECSS, deutsch „Europäische Kooperation für Raumfahrtnormung“) ist eine 1993 gegründete Initiative der ESA, nationaler Raumfahrtagenturen und der Raumfahrtindustrie zur Ausarbeitung von einheitlichen Normen und Standards für die europäische Raumfahrt. ECSS Standards umfassen die Themen Projektmanagement, Produktsicherung, Raumfahrttechnik und Nachhaltigkeit für Raumfahrtprojekte. Durch die Standardisierung soll u. a. die Konkurrenzfähigkeit der europäischen Raumfahrtindustrie gewährleistet werden. Basierend auf ECSS-Standards werden projektübergreifend die Anforderungen an die Raumfahrttechnik festgelegt. In dem Standard ECSS-Q-70-38A werden beispielsweise die Anforderungen an hochzuverlässige Lötverbindungen definiert.

In diesem Artikel wird ein Überblick über die Anforderungen, Liefersituation und -restriktionen von allgemeinen elektrischen, elektronischen und elektromechanischen (EEE-) Raumfahrtbauteilen gegeben. Weiterhin wird auf die speziellen Gegebenheiten und Probleme sowie die Anforderungen für die Lötqualifikation der hochpoligen CCGA-Bauteile (Ceramic Column Grid Array) eingegangen. Ebenso werden vergangene und aktuelle Aktivitäten in Europa beschrieben, die eine allgemeine und nicht projektbezogene Qualifikation des CCGA-Lötprozesses zum Ziel haben.

1. ANFORDERUNGEN UND LIEFERSITUATION VON EEE-BAUTEILEN FÜR DEN RAUMFAHRTEINSATZ

Die Raumfahrt stellt besondere Anforderungen an die Verwendung von EEE-Bauteilen in Raumfahrtsystemen. Da im Betrieb Reparaturen kaum durchführbar sind, ist eine hohe Zuverlässigkeit und Lebensdauer gefordert. Die Anbindung der Bauteile auf der Platine und der interne Bauteilaufbau müssen die starken Vibrationen des Startvorgangs für eine Vielzahl von Launchern überstehen. Im Orbit ist für die gesamte Lebensdauer eine Strahlungsfestigkeit vorzusehen, die üblicherweise 100 krad beträgt. Die Anforderungen an die Strahlungsfestigkeit der Bauteile hängt zusätzlich stark von der Mission ab, z.B. Missionsdauer, Flughöhe usw. Auch darf die Funktionsfähigkeit des Bauteils durch Temperaturschwankungen nicht beeinträchtigt werden.

Qualifizierte elektronische Raumfahrtbauteile haben aufgrund des Qualifikationsaufwands einen großen Einfluss auf die Gesamtkosten eines Raumfahrtsystems. Deren Anteil kann je nach Art des Systems bis zu 30% der Hardwarekosten betragen.

EEE-Bauteile, die eine Schlüsselfunktion für die Leistungsfähigkeit und Zuverlässigkeit eines Raumfahrtgerätes oder -systems haben, werden als strategische Bauteile bezeichnet. Strategische Bauteile sind in der Regel nicht durch andere Bauteile komplett zu ersetzen. Insbesondere bei den hochpoligen, komplexen Bauteilen gibt es oft keine funktionsgleichen Alternativbauteile, d.h. es handelt sich hier oft um strategische Bauteile. Hinzu kommt, dass nicht nur die Bauteile selbst sondern auch deren Verarbeitung den Anforderungen in der Raumfahrt genügen muss. Dazu gehört z.B. auch ein für die Raumfahrt qualifizierter Lötprozess, welcher gerade bei hochpoligen, komplexen Bauteilen eine technische Herausforderung darstellt.

Eine projektspezifische Qualifikation erfolgt ausschließlich nach den Anforderungen, die sich aus einer bestimmten Anwendung im Rahmen des Raumfahrtprojektes ergeben. Im Gegensatz dazu bietet die allgemeine Qualifikation Kostenvorteile, da diese die verschiedenen Anforderungen einer Vielzahl von Projekten berücksichtigt. Der erhöhte Aufwand macht sich aufgrund der Verfügbarkeit, der höheren Stückzahl und der damit verbundenen höheren Zuverlässigkeit durch geringere Beschaffungskosten in den Projekten bezahlt. Aus diesem Grund werden nationale und europäische Programme zur Bauteilequalifikation erstellt und aufeinander abgestimmt.

2. AUSGANGSSITUATION BEIM LÖTEN VON HOCHPOLIGEN RAUMFAHRTBAUTEILEN

In vielen künftigen Raumfahrtmissionen werden CCGA-Bauteile eingesetzt, da der Trend zu immer größeren Datenmengen geht, die auch verarbeitet werden müssen. Die größere Datenmenge hat eine steigende Packungs- und Anschlussdichte auf der Platine zur Folge. Dies erfordert eine höhere Zahl von Anschlusspins auf den Platinen. Mit den herkömmlichen Montageverfahren ist dies nicht zu erreichen, da die Anschlüsse selbst schon einen nicht unerheblichen Teil der Platine einnehmen. Bei dem CCGA-Verfahren hingegen wird die ganze unter dem Gehäuse zur Verfügung stehende Fläche für Anschlüsse genutzt. Auf dem BILD 1 erkennt man, wie dicht die Pins bei einem CCGA-Gehäuse mit 624 Pins auf der Platine aufgelötet werden. Diese hochpoligen und hochkomplexen elektronischen Bauteile werden in stetig wachsender Anzahl in CCGA-Gehäusen von den Herstellern entwickelt und angeboten. Gerade bei neuen Prozessortypen und Field Programmable Gate Arrays (FPGA) gibt es keine alternativen Gehäuseformen, wie z.B. Ceramic Quad Flatpacks (CQFP), für die zuverlässige Lötprozesse bereits erprobt sind. Durch die ESA wird die Entwicklung neuer leistungsfähiger Bauteile, wie z.B. der SPARC V8 von ATMEL unterstützt, die sichere Verarbeitung bleibt aber den industriellen Anwendern überlassen.

Im kommerziellen Bereich gibt es für diese hochpoligen Bauteilgehäuse meist schnell nach Markteinführung auch sichere Verarbeitungsmethoden. Ganz anders zeigt sich die Situation bei Raumfahrtbauteilen. Die hohen Zuverlässigkeitsanforderungen in der ECSS-Vorschrift ECSS-Q-70-38 zum Löten dieser neuen Bauteile sind anspruchsvoll. Neue Materialien, Technologien und Inspektionsmethoden müssen erprobt werden, da die bisher übliche 100%ige optische Kontrolle bauförmbedingt nicht mehr möglich ist. Um den hohen Anforderungen an Geräte, die für die Raumfahrtanwendungen vorgesehen sind, hinsichtlich Vibration und Thermodynamik gerecht zu werden, müssen das Design der Leiterplatten, die CCGA-Bauteile, das Material, die Fertigungstechnologie der Leiterplatte und die Löttechnologien aufeinander abgestimmt werden. Dies ist eine zwingende Voraussetzung für die Qualität und Zuverlässigkeit der Lötverbindung über den langen Einsatzzeitraum unter den Bedingungen der Raumfahrt. Insbesondere die ausreichende Anpassung der thermalen Ausdehnungskoeffizienten von CCGA-Gehäuse und Platine spielt eine wichtige Rolle für die Zuverlässigkeit der Lötverbindung. Weichen diese thermalen Ausdehnungskoeffizienten zu sehr voneinander ab so kommt es bei den Thermalzyklen zu großen mechanischen Spannungen und möglicherweise zur Bildung von Rissen in den Columns.

Um für den Raumfahreinsatz verwendbare Produkte zu entwickeln, wird die Anwendung dieses Prozesses in allernächster Zukunft unumgänglich sein. Die technische Situation stellt sich zurzeit wie folgt dar: Im kommerziellen Bereich für Anwendungen außerhalb der Raumfahrt wird der sog. Ball Grid Array-Prozess (BGA-Prozess) verwandt, bei dem Lötzinnkugeln zur Anwendung kommen.

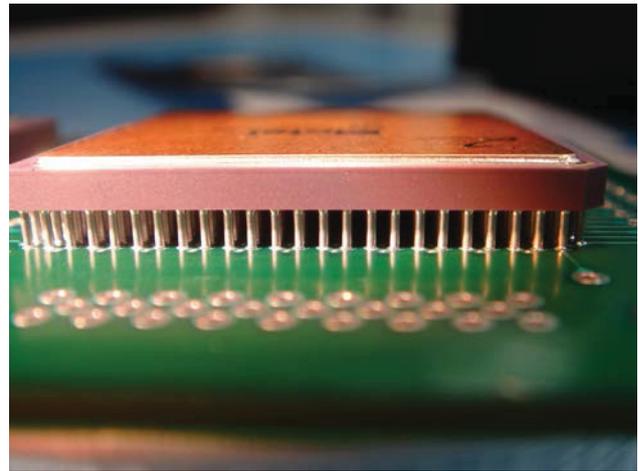


BILD 1. 624 Pin CCGA-Gehäuse auf einer Platine aufgelötet

Für Raumfahrtanwendungen ist dieser Prozess weniger geeignet bzw. mit zahlreichen Problemen verbunden, daher muss der CCGA-Prozess weiterentwickelt werden. Die wachsende Dringlichkeit wird besonders daran erkenntlich, dass neue Prozessoren, eine neue Generation von FPGAs und Speicherchips, fast ausschließlich nur noch in CCGA-Gehäusen angeboten werden. Besonders im Hinblick auf die zunehmenden Datenvolumina in Projekten und Technologien, wie z.B. den neuen Erdbeobachtungsinstrumenten, wird der Bedarf an FPGAs mit sehr hoher Anschlusszahl zukünftig noch weiter ansteigen. Diese hohen Anforderungen sind durch die bewährten und qualifizierten Metric Quad Flat Packages (MQFP) mit maximal 352 Anschlusskontakten nicht mehr zu bewältigen.

3. AKTIVITÄTEN ZUR QUALIFIKATION DES CCGA-LÖTPROZESSES

Der Bedarf an einem raumfahrttauglichen, qualifizierten Lötprozess ist mittlerweile europaweit erkannt worden. Bei der ESA und auch bei der französischen Raumfahrtagentur CNES laufen deshalb verschiedene Aktivitäten mit dem Ziel diesen Bedarf zu decken. Dabei lag der Schwerpunkt bisher bei Gehäusen mit bis zu 624 Pins. Bei EADS laufen ebenfalls Qualifikationsaktivitäten mit CCGA-Gehäusen.

Auch weitere Firmen und Einrichtungen im europäischen Raum arbeiten an der Entwicklung und Qualifikation von geeigneten Lötverfahren. Dabei werden weitere Lösungsansätze wie der umstrittene BGA-Lötprozess berücksichtigt.

Das DLR hat bereits 2007 begonnen mit der Firma Jena-Optronik GmbH eine Lösung für diese Problematik zu erarbeiten. Dazu wurde ein Vorhaben zur „Entwicklung eines CCGA-Lötprozesses für den Raumfahreinsatz“ durchgeführt. Das Ziel des Vorhabens war es, einen Lötprozess für CCGA-Gehäuse mit einer Dampfphasenlötanlage (Vapor Phase) zu erproben und die Voraussetzungen für dessen allgemeine Qualifikation festzulegen. Der Lötprozess sollte die neuen Zuverlässigkeitsanforderungen für den Weltraumeinsatz erfüllen und so der deutschen Raumfahrtindustrie zur Verfügung stehen.

3.1. Zielsetzung des ersten CCGA-Vorhabens beim DLR

Im Ergebnis sollte der Lötprozess basierend auf den Anforderungen nach ECSS qualifiziert und durch die ESA freigegeben werden. Außerdem sollten sämtliche Voraussetzungen für die Qualifizierung eines Lötprozesses für CCGA-Gehäuse festgelegt werden.

Das Vorhaben wurde in zwei Phasen aufgeteilt. In der ersten Phase sollten die Voraussetzungen für eine erfolgreiche Qualifikation des Lötprozesses analysiert und bewertet werden. Zu den umfangreichen Arbeitspaketen zählten u.a. Auswahl geeigneter Leiterplattenmaterialien, Bestimmung der geeigneten Löttechnologie und der zugehörigen Lötparameter, Durchführung von mechanischen und thermalen Belastungstests der CCGA-bestückten Leiterplatten, Auswahl von geeigneten Inspektionsmethoden sowie Inspektion der Musterplatten und Bewertung der Lötresultate. Zusätzlich sollten die möglichen Reparaturtechnologien untersucht und hinsichtlich der Verwendbarkeit in einem Fertigungsprozess für Geräte der Raumfahrt bewertet werden. In der zweiten Phase sollte auf der Basis der in der ersten Phase gewonnenen Erkenntnisse eine Qualifikation und Freigabe der Löttechnologie auf Basis der ECSS-Q-70-38A durchgeführt werden.

Die drei folgenden Gehäusetyperen wurden für die Untersuchungen ausgewählt (siehe auch BILD 2):

- 1) Multilayer Column Grid Array MCGA349 Daisy Chain mit 349 Pins (AT697 LEON V8 Prozessor) mit 90/10 (PbSn) Columns
- 2) Ceramic Column Grid Array CG624-BAE Daisy Chain Gehäuse mit 624 Pins (FPGA RTAX1000/2000) mit 90/10 (PbSn) Columns
- 3) Ceramic Column Grid Array CG624-SIX Daisy Chain Gehäuse mit 624 Pins (FPGA RTAX1000/2000) mit 80/20 (PbSn) Columns mit Kupferspiralen

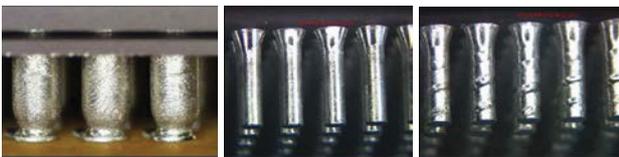


BILD 2. Links: MCGA349, Mitte CG624-BAE, Rechts: CG624-SIX

3.2. Ergebnisse des ersten DLR Vorhabens zur Entwicklung eines CCGA-Lötprozesses

In dem durchgeführten Vorhaben wurden in der Phase 1 mehrere Konzepte analysiert und in ihrer Machbarkeit bewertet. Die gewählten Lösungsansätze wurden in der Phase 2 umgesetzt, da für diese die größten Erfolgsaussichten bestanden.

3.2.1. Auswertung des Bestückungs- und Lötprozesses

- Der Lotpastendruck ist in der gewählten Form realisier- und reproduzierbar.

- Die Platzierung der Bauelemente muss sehr exakt erfolgen und erfordert deshalb eine maschinelle Unterstützung mit optischer Vermessung.
- Der Lötprozess läuft bei Dampfphasenlötten stabil und reproduzierbar ab.
- Die visuelle Inspektion ist auch mit optischen Hilfsmitteln nur eingeschränkt möglich.
- Inspektionen ab der dritten Anschlussreihe erfordern ein Training des Ausführenden.
- Auch die Röntgendiagnostik erbringt nur eingeschränkte Ergebnisse. Eventuelle Kurzschlüsse von benachbarten Anschlüssen werden sehr gut erkannt. Die Einschränkung bezieht sich auf die Ausprägung der Lotkegel auf der Leiterplatte.

3.2.2. Auswertung der thermischen und mechanischen Belastungstests



BILD 3. Riss im Column eines CG624-SIX Gehäuses

- Aufgrund des großen Einsatztemperaturbereiches ist bei CCGA- und MCGA-Bauteilen für den Raumfahreinsatz eine sehr gute Anpassung des Ausdehnungsverhaltens von Bauteil und Leiterplatten-Material erforderlich.
- Die eingesetzten Lote am Bauteil und an der Leiterplatte müssen bezüglich thermischer Wechselbelastung optimiert werden.
- Es hat sich gezeigt, dass die CCGA-Bauteile CG624-BAE mit 90/10 (PbSn) Columns nicht geeignet sind. Bei diesen Bauteilen wurden bereits nach dem mechanischen Belastungstest erste Ausfälle identifiziert. Durch die thermale Wechselbelastung verschlechterte sich dieser Zustand deutlich. Für die Qualifikation in der Phase 2 des FE-Vorhabens schieden diese Bauteile aus.
- Die Columns an den CG624-SIX Bauteilen haben die besten Ergebnisse gezeigt: Nach 500 Thermalzyklen waren die elektrische Leitfähigkeit der Säulen sowie das optische Erscheinungsbild der Lötstellen einwandfrei.
- Bei den mechanischen Belastungstests der Test-Leiterplatten mit CG624-SIX Gehäusen wurden im Rahmen von Metallurgischen Untersuchungen jedoch erste Beschädigungen in Form von Anrissen im Column oder Anriss der Lötverbindung festgestellt (siehe BILD 3). Als Ursache wurde die mechanische Belastung der Bauteile, Columns und Lötstellen durch die Vibration und die anschließenden thermalen Wechsellasts angesehen.

- Die Lötstellen haben zwar die geforderten Thermalzyklen überstanden, aber leider nicht die eigentlich raumfahrttauglichen Gehäuse des Bauelementeherstellers.

Die Fehleranalyse hat folgenden Sachverhalt ergeben: Die Gehäuse sind vom Auftragnehmer des Vorläufervorhabens im Rahmen eines Unterauftrages beschafft worden. Bestandteil dieser Gehäuse ist ein sog. Interposer (mechanischer Adapter). Er ist nach mehr als 500 der vorgesehenen 1000 Thermalzyklen gerissen. Dies war ein thermisches Problem und hat keinen direkten Zusammenhang mit dem angewandten Lötverfahren. Fazit: Die durchgeführten Tests konnten leider nicht erfolgreich abgeschlossen werden. Dennoch konnten die erforderlichen Maßnahmen für eine Qualifikation ermittelt bzw. definiert werden.

3.3. Aktuelle Aktivitäten und Status zur Qualifikation des CCGA-Lötprozesses

Die Weiterentwicklung der Chip-Herstellung in Richtung hochpoliger Bauteile hat die derzeitig verbreiteten QFP Prozesse technologisch längst überholt. Gleichzeitig ist die Qualifizierung von Lötprozessen für CCGA-Gehäuse noch keinen entscheidenden Schritt in der allgemeinen Verfügbarkeit vorangekommen. So ist nach aktuellen Recherchen noch keine freiverfügbare Technologie eines Herstellers im deutschen Raum für diese Prozesse nach ESA Richtlinien nutzbar, d.h. es besteht weiterhin ein hoher Bedarf an einem allgemein qualifizierten, raumfahrttauglichen CCGA-Lötprozess.

Durch das erste CCGA-Vorhaben des DLRs konnten wertvolle Design-Erkenntnisse erzielt werden, wenn auch die Qualifikation nach den Richtlinien der ESA noch nicht durchgeführt werden konnte. Die Fehlermechanismen sind jedoch inzwischen gründlich analysiert und entsprechende Ansätze in die neuen Lösungen eingebunden worden. Konkrete Ideen und Maßnahmen dazu wurden vom Auftragnehmer außerhalb dieses Vorhabens bereits entwickelt und diskutiert. Hinzu kommt, dass der Trend zu immer hochpoligeren Bauteilen anhält. Aus diesem Grund sind im zweiten Vorhaben Gehäuse mit über 1700 Pins für die Qualifikation vorgesehen.

Ähnlich zum Vorgängervorhaben sollen im Rahmen dieses Vorhabens die Auslegungsrichtlinien für das Design von Leiterplatten mit Bestückung hochpoliger CCGA-Bauteile konzeptionell untersucht und systematisch analysiert werden. Anschließend sind geeignete Lösungen zielgerichtet auszuwählen und durch eine Qualifikation zu bestätigen. Das Ziel der in 2012 begonnenen DLR-Qualifikationsaktivitäten ist es eine national verfügbare Technologie zu etablieren.

Die Qualifikation ist mit folgenden Bauelementen geplant:

- 1) Microsemi FPGA (RTAX Serie) 624 Pin CCGA mit Six Sigma Columns
- 2) Microsemi FPGA (RTAX Serie) 1174 Pin CCGA mit Six Sigma Columns
- 3) Xilinx FPGA (Virtex 5) 1752 Pin CCGA

Wie beim Vorgängervorhaben sind die Aktivitäten zur Risikominimierung in zwei Phasen unterteilt. In Phase 1 werden basierend auf einer detaillierten und gründlichen

Fehleranalyse des vorangegangenen Projektes die momentan zur Verfügung stehenden Löttechnologien, die Nutzung von verschiedenen Leiterplattenmaterialien sowie die Inspektionsmethoden zur Bewertung der Fertigungstechnologien evaluiert.

Diese Ergebnisse werden in ein neues Konzept Design einfließen. Besondere Beachtung wird dabei finden:

- mechanische Anbindung der Bauteile an die Leiterplatte
- Untersuchung des Lötprozesses mit einer Dampfphasenanlage
- der Aufbau und das Design des PCB
- Recherche nach verfügbaren und geeigneten Materialien für das PCB unter Berücksichtigung der thermomechanischen Belastungen
- Evaluation neuer Inspektionsmethoden

Nach heutigem Kenntnisstand und basierend auf den Erfahrungen aus dem ersten CCGA-Vorhaben des DLRs sind nur die CCGA-Gehäuse mit SixSigma Columns für eine Raumfahrtqualifikation geeignet. Die Gehäuse von Microsemi werden direkt mit SixSigma Columns geliefert während das Virtex 5 Gehäuse von Xilinx mit 1752 CCGA Columns von IBM geliefert wird. Aus diesem Grund werden die Gehäuse von Xilinx direkt bei der Firma SixSigma auf entsprechende SixSigma Columns umgerüstet. Dieser Prozess ist MIL-Zertifiziert und wird entsprechend sicher beherrscht.

Bei der Auswahl eines geeigneten Leiterplattenwerkstoffes wurden die momentan am Markt befindlichen Materialien wie FR4, Polyimyd, Thermount Arlon XT hinsichtlich ihrer Eignung und Verfügbarkeit überprüft. Die Recherche erbrachte weitere mögliche Alternativen was sowohl Material als auch Leiterplatten Lieferanten betrifft.

In der zweiten Phase soll auf der Basis der in der ersten Phase gewonnen Erkenntnisse eine Qualifikation und Freigabe der Löttechnologie auf Basis der ECSS-Q-70-38A durchgeführt werden. Dazu werden die Konzepte in einem finalen Design umgesetzt, welches nach seiner Umsetzung die erforderlichen Tests für eine ESA Qualifikation durchlaufen wird. Bei den notwendigen Inspektionen werden neue Methoden erprobt.

Nach Abschluss des Vorhabens in 2013 wird der deutschen Raumfahrtindustrie basierend auf den gültigen ESA Vorschriften ECSS-Q-70-38 und ESA PSS-01-738 ein allgemein qualifizierter Lötprozess für CCGA-Gehäuse zur Verfügung stehen.

4. QUELLEN

- [1] Das nationale Technologieentwicklungs- und Qualifikationsprogramm des DLRs für elektronische Bauteile für Raumfahrtanwendungen, Dr.-Ing. Andreas K. Jain, 2010
- [2] STD-TN-JOP-2015, Abschlussbericht zur Qualifizierung des CCGA-Lötprozesses für Raumfahrtanwendung, Jena-Optronik GmbH, 2009
- [3] CCGA-RP-JOP-1000, Zwischenbericht CCGA Lötqualifikation Phase 1, Jena-Optronik GmbH, 2012